

印刷電路板於振動試驗之響應預測與驗證

王栢村¹ 蔡岳穎² 賴逸少³ 葉昶麟³ 李英志³

¹ 國立屏東科技大學機械工程系教授

² 國立屏東科技大學機械工程系研究生

³ 日月光集團高雄廠應力可靠度實驗室

E-mail: wangbt@mail.npust.edu.tw

摘要

本文係利用重現性手法對以螺栓鎖固於環境振動試驗用治具的印刷電路板進行模型驗證，並發展印刷電路板於固定邊界之理論模型進行在環境振動試驗下的響應預測與可能之破壞點。將實際印刷電路板進行符合JEDEC的環境隨機振動試驗規範的振動試驗，量測印刷電路板的輸出響應，依照JEDEC的環境隨機振動試驗規範不同的標準，實際試驗之輸入與輸出頻率響應函數比對，可獲得治具對激振訊號的傳輸能力評估，即可驗證治具的可靠性。並將驗證完成的印刷電路板於固定邊界有限元素模型進行頻譜響應分析，可獲得理論模擬分析的加速度與應變響應，並由實驗可求得實際的輸出響應如功率頻譜密度函數和平方平均根值，透過實際試驗與理論分析求得之輸出響應進行比較驗證，本文預測及驗證印刷電路板在振動試驗中的可能破壞位置，以提供未來後續研究之參考。

關鍵詞：印刷電路板、治具、有限元素分析、實驗模態分析、頻譜響應分析

1. 前言

隨著微機電科技進步而日新月異，近年來電子產品趨勢皆往高功能及高攜帶性方向快速進展，在這兩方面強力驅使下，環境應力篩選更是品質與可靠度保證方法[1]，印刷電路板(Printed Circuit Boards, PCB)的設計因日益縮小的體積而帶來的高溫破壞，惟除了高溫破壞外，隨著其組裝、運輸，使用環境等各因素所帶來的破壞也將對PCB的使用壽命產生極大影響，故對PCB進行振動分析設計是很重要的。常利用有限元素法(Finite Element Analysis, FEA)架構有限元素模型(FE Model)，利用軟體模擬分析來簡化過程；而實驗模態分析(Experimental Modal Analysis, EMA)可在不知材料性質下，獲得實際結構體的實際振動參數，然而在實驗上難免有人為差異，本文也將探討EMA對擷取模態參數之差異性。

王等人[2]結合FEA與EMA，對PCB進行模型驗證，由理論與實驗之振動模態特性參數進行比對。實驗採用傳統模態分析方式，以衝擊錘當驅動器，施加點力於PCB以產生結構激振，再利用固定在PCB上之加速度計量測PCB之響應，由FEA可得理論的自然頻率、模態振型、頻率響應函數，EMA可得實際的自然頻率、模態振型、頻率響應函數與阻尼比，藉由理論與實驗之振動模態特性參數進行比對。透過頻譜分析儀求得結構之頻率響應函數(Frequency Response

Function, FRF)，經由參數估測方法，將頻率響應函數藉由曲線嵌合(curve fitting)軟體擷取出結構之自然頻率、模態振型、阻尼比等模態參數，由於FEA與EMA能夠相互彌補其限制，故結合兩種分析，將FEA的理論分析結果與EMA實驗分析數據作比較，以實驗結果為基準不斷修正FE模型的設定參數，最後即可獲得與實際受測物等效的FE模型，並可將此等效FE模型運用在其分析設計。Wang *et al.* [3] 提到合理並等效於實際電路板數學模型，可用於預測及研究動態響應分析，並說明在ANSYS軟體的最佳化模組中，進行有限元素模型彈簧阻尼元素勁度值的最佳化求解。

Yang *et al.* [4]提到在有限元素分析值得注意的三個重要因素，分別為幾何模型的建立、材料的材料特性和結構的邊界問題，針對這三種不同特定做模態測試。Gibson [5]將EMA分析複合材料結構的成果作整理，發現具有非線性性質的PCB，透過適當設計的EMA仍可獲得趨近線性的結果。在理論分析方面，Steinburg [6]著書對常見電子設備的振動行為做了廣泛討論，針對電子元件的相關測試方法和疲勞現象提出數學理論基礎推導。Cifuentes [7]透過設定平板上的三個區塊質量或是材料剛性模擬複合材料特性，對其做振動特性分析，獲得複合材料在動態分析之特性，不同的支撐形式會影響結構模態振型，當印刷電路板撓曲程度相當於厚度時，須考慮幾何上的非線性特性影響。Perkins and Sitaraman [8] 利用有限元素分析模擬印刷電路板振動試驗，並與實際振動試驗相互驗證，以獲得等效有限元素模型，並探討焊錫接點的剛性對模態振型的影響、焊錫接點在簡諧振動下的破壞位置與現象及焊錫接點在簡諧振動下的失效壽命預測。Wong *et al.* [9]針對BGA焊錫接點建立一用來執行簡諧振動失效壽命分析的有限元素模型，以提供快速的模擬分析。

Wong *et al.* [10]建構並驗證PBGA焊錫接點的振動失效有限元素模型是與其模擬的實際狀況等效的，且利用模型預測PBGA焊錫接點的壽命及耐久性。Yeh和Lai [11]利用標準的試驗規範讓焊錫接點失效測試更具可信度，其利用落下試驗機對印刷電路板執行符合JEDEC試驗規範的落下衝擊試驗，觀察焊錫接點破裂失效的現象，並驗證因應歐盟即將實施的ROHS規定下設計的新型無鉛錫球在抗掉落衝擊振動能力上表現較佳。

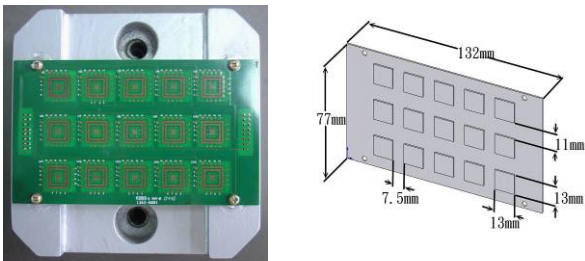
由以上文獻探討可知進行實驗模態分析，有諸多不可避免之人為差異性，因此本文將重複EMA探討PCB之模態重現性差異，利用重現性手法對以螺栓鎖

固於環境振動試驗用治具的印刷電路板進行模型驗證，並依照符合JEDEC振動試驗規範[12]執行隨機振動試驗，導入相關分析手法驗證PCB之可能失效破壞處，並發展印刷電路板於固定邊界之理論模型進行在環境振動試驗下的響應預測，希望能提供印刷電路板振動試驗分析後續研究發展。

2. 系統定義

圖1為本文所探討之固定邊界PCB外觀圖及尺寸圖，受測PCB是無鉛化封裝之晶片，用於針對聯合電子裝置工程協會(Joint Electronic Device Engineering Council, JEDEC)動力試驗規範中制定之測試件規格所製造，係以螺栓鎖固於環境振動試驗用治具上。本文分析目標如下：

- (1) 對PCB進行獨立之EMA實驗，分別求得PCB實際之自然頻率、模態振型與阻尼比。
- (2) 以JEDEC隨機振動試驗3種不同規範，透過控制感測器(control sensor)與螺栓鎖固點的響應功率頻譜密度函數比對，確認治具的振動傳輸能力。
- (3) 以JEDEC隨機振動試驗規範對受測印刷電路板執行試驗，利用加速度計及應變規求得實際結構在振動試驗中的響應值。
- (4) 利用驗證成功的等效有限元素模型在ANSYS軟體中執行頻譜響應分析，除將模擬分析結果與實際實驗響應比對，確認響應預測之正確性外，並結合操作變形振型預測破壞區域，推定出印刷電路板在隨機環境激振試驗中可能的失效破壞位置點。



(a) 印刷電路板外觀圖 (b) 詳細尺寸圖
圖 1 固定邊界印刷電路板外觀及尺寸圖

3. 印刷電路板固定邊界之重現性

在理論分析是利用套裝軟體ANSYS對受測PCB進行有限元素分析，本文引用王等人[2]所建構之PCB有限元素模型，並使用已驗證成功的自由邊界模型，圖2係以線性彈簧阻尼元素(Combin14)模擬PCB四個角落被螺栓鎖附固定的實際狀況，而彈簧阻尼元素以實際鎖固螺栓所佔面積對應在有限元素模型的節點數為設置依據，利用Wang *et al.* [3] 已執行最佳化求取合理的彈簧元素勁度值，模擬PCB於固定邊界之情形，表1為利用最佳化分析模型驗證後所得之FE模型材料性質。

在實驗模態分析的儀器架設如圖3所示，依傳統實驗模態分析方式，以衝擊錘為驅動器，施加點力於PCB上以產生結構激振，利用固定在PCB上之加速度計量測PCB之響應，本研究以相同程序步驟，對PCB執行獨立實驗，透過頻譜分析儀求得結構之頻率響應函數(FRF)，經由參數估測方法(Modal Parameter Estimation Method)，將頻率響應函數藉由曲線嵌合(curve fitting)軟體擷取出結構之自然頻率、模態振型、阻尼比等模態參數，由所得結果以驗證PCB實驗模態參數重現性之正確性及合理性。

實驗量測點規劃如圖4，在PCB背面劃分四條直線上(A1~A4)的量測點，量測點共有88點，與Wang *et al.* [3]有相同之點規劃。又因為PCB正面有晶片層，為避免晶片層內部複雜結構影響實驗結果，所以敲擊PCB背面來做實驗，而加速度計固定位置為最左下角的量測點，該點編號為第468量測點(圖4 處)。

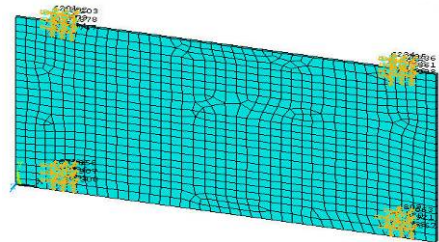


圖2 固定邊界PCB有限元素模型[3]

表1 材料性質表[3]

參數項目	設定值
底層楊氏係數 $E_{X,B}$	9.42×10^9 (N/m ²)
底層楊氏係數 $E_{Y,B}$	9.25×10^9 (N/m ²)
底層剪力係數 $G_{XY,B}$	3.12×10^9 (N/m ²)
底層蒲松比 $\nu_{XY,B}$	0.25
底層密度 ρ_B	2050 (kg/m ³)
封裝層楊氏係數 E_C	20×10^9 (N/m ²)
封裝層蒲松比 ν_C	0.4
封裝層密度 ρ_C	1840 (kg/m ³)
加速度計質量 m	0.0015 (kg)

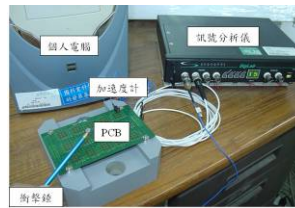


圖 3 實驗模態設備架構

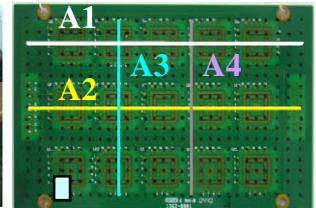


圖 4 量測點示意圖[3]

3.1 頻率響應函數與關聯性函數探討

表2為PCB固定邊界重現性獨立實驗、曲線嵌合成之頻率響應函數(Frequency Response Function, FRF)曲線及對應之關聯性函數圖(Coherence, COH)。如圖所示，在實驗與合成曲線皆有很高的吻合度，顯示曲線嵌合具有極高的正確性，對應FRF之關聯性函數圖形中，除對應反共振點處因響應較小而導致關聯性函數偏低外，其餘部分皆接近於1，因此獨立EMA實驗所得到的結構FRF量測數據是合理，且曲線嵌合亦是可靠的。

表3為本文與Wang *et al.* [3]共2次獨立EMA所得之FRF比較圖，在兩次的實驗與合成曲線比對皆有很高的吻合度，惟獨頻率在1400Hz可明顯看到文獻所遺漏一個模態，而高頻區域有些許上的差異，可能的原因是在實驗時操作者對加速度計所黏貼的位置略有不同而產生變異，綜合而言，各共振模態之重現有一致性，更明確之比較應由模態參數觀察如後說明。

表2 轉移函數 FRF、Coherence

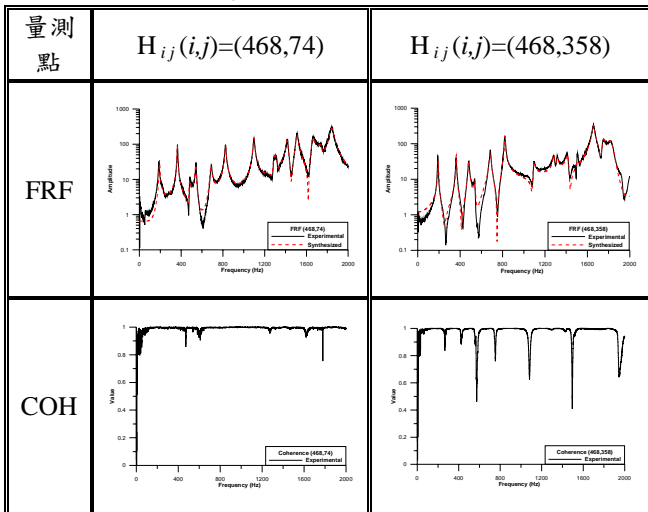
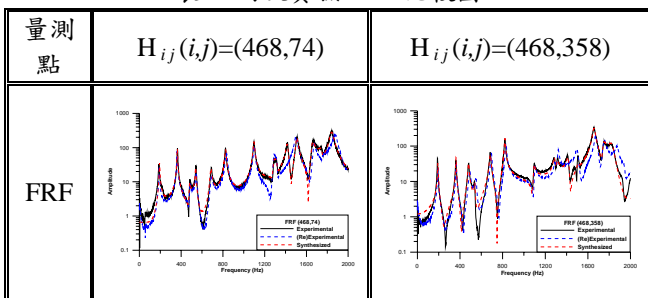


表3 兩次實驗 FRF 比較圖



3.2 自然頻率比較

表4為本文EMA和Wang *et al.* [3]之EMA所獲得之自然頻率與理論FEA所獲得之自然頻率誤差比較，由表可知本文所執行EMA所得自然頻率與Wang *et al.* [3]EMA相比較幾乎相同，最大差異在Mode 15約2.79%，最小誤差為-0.51及平均誤差為1.05%，顯示EMA實驗之重現性相當不錯。在與FEA結果比

較，除了在Mode 2之自然頻率與理論FEA之自然頻率誤差比較大約4.25%，其餘皆在(3%以下)，EMA與FEA所得自然頻率的平均誤差比也在1%以下，因此可以說等效FE模型有其適應合理性且相當吻合。

3.3 模態振型比對

實驗在0~2000Hz頻率內，由EMA可獲得PCB實際之自然頻率、模態振型與阻尼比，本次執行EMA獲得14個自然頻率及對應模態振型，與Wang *et al.* [3]之實驗與理論所得模態振型進行比較。表5僅列出前5個模態之模態振型圖比較，其中EMA振型為僅取圖4A1-A4之量測點的示意圖，從前表可知與Wang *et al.* [3]之理論FE模態振型相比在第7個模態可能因加速度計位置在節點處之關係沒對應到，其他皆對應吻合。

表6為重現EMA與Wang *et al.* [3]EMA與FEA之模態保證指標(Modal Assurance Criterion, MAC)值比對，在部份振型雖較低(約0.5左右)，但大多數都在0.95以上，且從模態振型的實際圖形比較觀察，發現他們之間確實有相當的吻合程度，因此可以驗證其EMA重現性之結果為合理及可靠。

表4 自然頻率誤差比

Mode	FEA[3] 頻率 Hz	EMA[3] 頻率 Hz	誤差 %	重現 EMA 頻率 Hz	FEA[3] 誤差%	EMA[3] 誤差%
1	191.5	193.51	-1.05	188.86	1.38	2.40
2	379.5	364.36	3.99	363.36	4.25	0.27
3	491.2	487.08	0.84	480.70	2.14	1.31
4	552.8	549.43	0.61	538.98	2.50	1.90
5	695.5	694.60	0.13	684.59	1.57	1.44
6	849.9	832.50	2.05	821.84	3.30	1.28
7	859.6	845.08	1.69	-	-	-
8	1100	1102.23	-0.20	1096.00	0.36	0.57
9	1290	1290.51	-0.04	1285.43	0.35	0.39
10	1311	1320.34	-0.71	1313.40	-0.18	0.53
11	1448	-	-	1416.04	2.21	-
12	1517	1500.48	1.09	1508.06	0.59	-0.51
13	1699	1674.32	1.45	1657.74	2.43	0.99
14	1757	1751.91	0.29	1746.07	0.62	0.33
15	1874	1877.42	-0.18	1824.95	2.62	2.79
最大誤差(%)			3.99		4.25	2.79
最小誤差(%)			-1.05		-0.18	-0.51
平均誤差(%)			0.71		1.72	1.05

表 5 模態振型比較圖

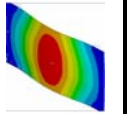
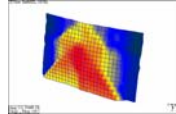
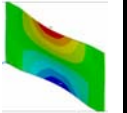
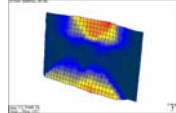
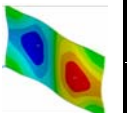
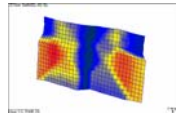
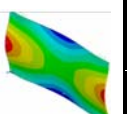
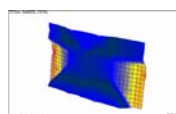
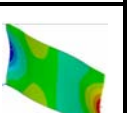
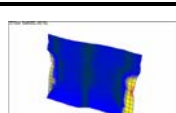
Mode	頻率 (Hz)	FEA 振型	頻率 (Hz)	EMA 振型
1	191.5		188.86	
			MAC 值 0.944	
2	379.5		363	
			MAC 值 0.952	
3	491.2		480.70	
			MAC 值 0.926	
4	552.8		538.98	
			MAC 值 0.841	
5	695.5		684.59	
			MAC 值 0.922	

表 6 重現性 EMA 與 Wang *et al.* [3] MAC 之比較值

Mode	文獻[3]FEA 之 MAC	文獻[3]EMA 之 MAC
1	0.944	0.9459
2	0.952	0.9531
3	0.926	0.9266
4	0.841	0.852
5	0.922	0.9205
6	0.621	0.6966
7	-	x
8	0.925	0.9501
9	0.768	0.9414
10	0.732	0.8331
11	0.493	x
12	0.466	0.8808
13	0.368	0.9483
14	0.424	0.7935
15	0.464	0.9459

3.4 阻尼比探討

表 7 為 EMA 實驗獲得之 PCB 的結構阻尼比，由於透過加速度計所量測到的訊號是包含指數加權影響，會有加重阻尼之效應，故需要經過修正才能獲得真實 PCB 結構阻尼比，而在 FEA 模擬中則無法獲得

結構阻尼比參數，故此處僅列出實驗獲得之阻尼比。由實驗獲得之結構阻尼比經過累積平均計算後，可作為 FEA 簡諧分析所需的阻尼比設定輸入值的依據。如表可知，兩次的 EMA 之累積平均阻尼比非常相近，分別為 0.85% 及 0.83%，就未來引用阻尼比於響應分析而言，此差異影響很小。

表 7 兩次 EMA 之阻尼比

模態數	文獻 EMA		重現性 EMA	
	阻尼比 (%)	累計平均值 (%)	阻尼比 (%)	累計平均值 (%)
1	1.43	1.43	1.42	1.42
2	0.70	1.07	0.69	1.05
3	1.69	1.38	1.06	1.06
4	1.66	1.52	0.67	0.96
5	0.78	1.15	0.80	0.93
6	0.77	0.96	0.70	0.89
7	3.15	2.06	0.57	0.84
8	0.57	1.32	0.70	0.83
9	0.71	1.01	0.78	0.82
10	0.89	0.95	0.68	0.81
11	0.86	0.91	0.63	0.79
12	0.67	0.79	0.77	0.79
13	0.76	0.77	0.79	0.79
14	0.93	0.85	1.33	0.83

4. 治具傳輸能力

圖 5 為進行治具傳輸能力時在隨機激振實驗模態儀器設備架構，採用 JEDEC 規範中的 3 種不同標準，分別為 D Level、E Level、F Level 來探討治具傳輸能力，圖 6 為治具固定點編號與控制感測器位置示意圖。

使用電磁式高頻振動試驗機及鎖固治具於振動試驗平台，依照 JEDEC 規範 D_Level、E_Level、F_Level 三種標準探討治具的傳輸能力，表 8 為在進行實驗與理論分析時所給予的 JEDEC 規範輸入訊號，表 9 為鎖固點響應與傳輸比之比較圖，僅列出點 1 點 2，上圖為加速度頻譜與 JEDEC 規範比較，下圖均為控制感測器與量測點之間的傳輸比，如表結果顯示加速度頻譜除了在 10 Hz 以下與 JEDEC 規範有些微落差，其餘皆相當良好，但從各個傳輸比圖來看，都是趨近於 1，表示各點位置在各個規範標準之相符，因此可知其傳輸能力是非常良好的，即設計適當。



圖 5 隨機激振實驗模態儀器設備架構

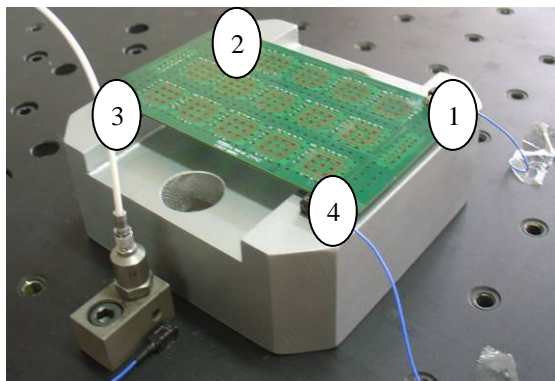


圖 6 治具固定點編號與控制感測器位置示意圖

5. 隨機激振振動試驗

在頻譜響應分析中，採用驗證成功之固定邊界有限元素模型，可輸入如表 8 所示之 JEDEC 振動試驗規範的設定加速度頻譜振動模擬訊號，在頻寬 3~500 Hz 頻寬中輸入相對應的加速度功率頻譜密度函數 $G_{aa}(f)$ ，可分析獲得任一節點上的響應功率頻譜密度函數，除可將此響應結果與實際實驗比較做響應預測驗證外，並可由 $G_{aa}(f)$ 推算得該響應之平均平方根值如下：

$$a_{rms}(f) = \sqrt{\int_{f_1}^{f_2} G_{aa}(f) df} \quad (1)$$

其中， f_1 、 f_2 分別為頻率範圍之上下限，可由 a_{rms} 預測印刷電路板在隨機激振測試中可能的破失效壞位置。

圖 7 為加速度黏貼在 PCB 板上的實驗實體圖，在隨機激振下，依照 JEDEC 規範執行 D Level、E Level、F Level 三種標準，透過加速度計可求得任一點的加速度功率頻譜密度函數，圖 8 為應變規黏貼在 PCB 板上的實驗實體圖，透過應變規可求得任一點的應變功率頻譜密度函數，因結構體受外界激振時在共振頻率處響應最大，為了解印刷電路板可能破壞的區域，故在操作模態振型觀察已知的共振頻率，如圖 9 所示為主頻率 $f=190$ Hz、 379.5 Hz 及 489.2 Hz 之操作模態振型位移圖與圖 10 操作模態振型應變圖，並在隨機激振振動試驗自定感興趣之量測位置如圖 11 所示。

表 8 JEDEC 規範設定值

JEDEC 規範	DACTRON 訊號	ANSYS 訊號
D_Level		
E_Level		
F_Level		

表 9 鎖固點響應及傳輸比

JEDEC 規範	量測位置	
	①	②
D_Level		
E_Level		
F_Level		

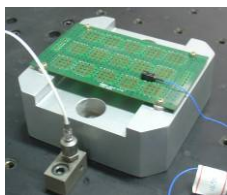


圖 4-7 加速度計黏貼

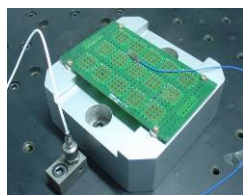
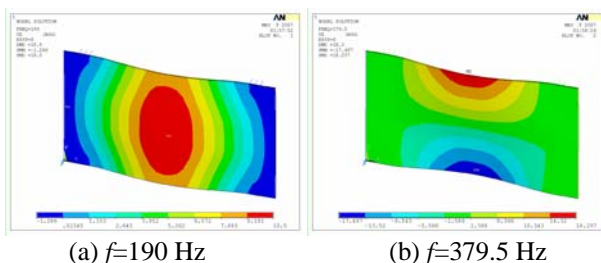
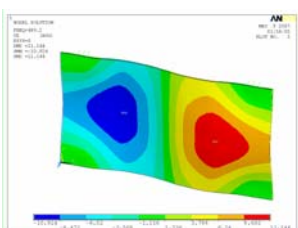


圖 4-8 應變規黏貼



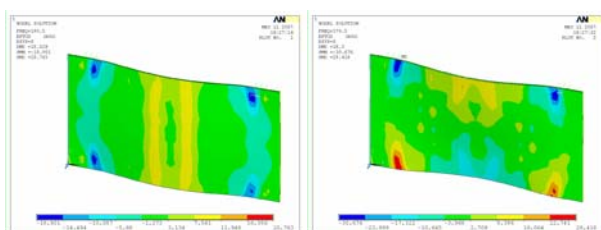
(a) $f=190$ Hz

(b) $f=379.5$ Hz



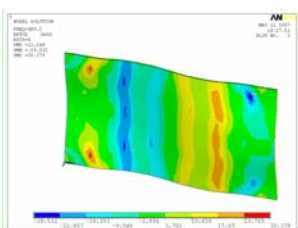
(c) $f=489.2$ Hz

圖 9 操作模態振型位移圖



(a) $f=190$ Hz

(b) $f=379.5$ Hz



(c) $f=489.2$ Hz

圖 10 操作模態振型應變圖

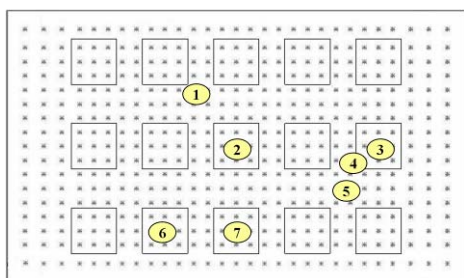


圖 11 隨機激振振動試驗量測位置示意圖

表 10 為加速度功率頻率密度比較與應變功率頻率密度比較，係利用電磁式高頻振動試驗機依照 JEDEC 規範在 D_Level、E_Level、F_Level 三種標準執行隨機激振(如表中的黑色粗實曲線)，並將驗證完成的印刷電路板於固定邊界有限元素模型進行頻譜響應分析，可獲得理論模擬分析的加速度與應變響應(如表中的綠色細虛曲線)，並由實驗可求得實際的輸出響應如功率頻譜密度函數(Power Spectrum Density, PSD, 如表中的紅色粗虛曲線)，進行實際試驗與理論分析求得之輸出響應進行比較。

表 10-(a) 為加速度功率頻率密度函數，從表中的實驗圖形可觀察到除了在低頻部份有些許落差，其他對應皆相當吻合，在頻率點約 190 Hz、379.5 Hz 及 489.2 Hz 左右有峰值產生，此為固定邊界於印刷電路板的前 3 個共振點，而在理論分析求解時，對 D_Level 做有質量效應與無質量效應探討其差異，可明顯看出在峰值的對應是有些許偏差，所在模擬分析時是需要考慮質量效應因素。

表 10-(b) 為應變功率頻率密度函數，透過實際試驗與理論分析求得之輸出響應進行比較，從表中的實驗圖形可觀察到除了在低頻部份有些許落差，其他對應也皆相當吻合，由表中之實驗圖可看出加速度計響應 PSD 與應變規響應 PSD 有趨勢性，因量測接收訊號不同而有所差異。

表 10 加速度與應變規功率頻率密度函數比較

(a) 加速度功率頻率密度函數

JEDEC 規範	量測位置	
	①	
D_Level With mass		
D_Level No mass		
E_Level With mass		

表 10 加速度與應變規功率頻率密度函數比較(續)
(b) 應變功率頻率密度函數

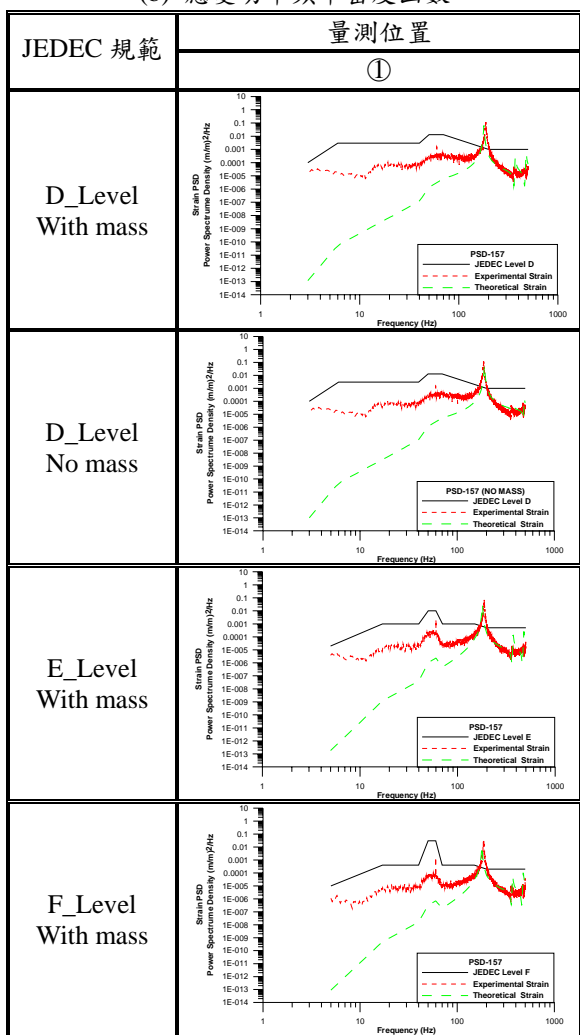


表 11 加速度計與應變規平均平方根值比較

JEDEC 規範	量測位置	加速度		應變規	
		EMA RMS (g)	FEA RMS (g)	EMA-RMS (10^{-6} m/m)	FEA-RMS (10^{-6} m/m)
D_Level With mass	①	7.37	5.80	1.915	5.101
	④	5.57	3.94	0.045	1.698
	⑥	5.75	5.03	0.228	2.109
D_Level No mass	①	8.25	6.49	1.619	4.312
	④	5.21	3.69	0.004	0.207
	⑥	5.90	5.17	0.228	1.698
E_Level With mass	①	4.77	4.09	1.315	3.595
	④	3.88	2.78	0.195	1.197
	⑥	3.98	3.55	0.306	1.492
F_Level With mass	①	3.32	2.59	0.933	2.586
	④	2.51	1.76	0.142	1.758
	⑥	2.77	2.24	0.592	2.243

經由理論分析及實驗所得之量測任一點的響應 PSD，由響應 PSD 可計算獲得該點之平均平方根值 (root mean square value, RMS value) 如式(1)，此 RMS 值大小可代表該點可能的受破壞程度，表 11 為加速度計與應變規測點位置 RMS 值比較，即可推定印刷電路板在隨機激振測試中可能的破壞位置，從表中可看出在量測點①位置有較大值，為最有可能的破壞位置，表中 D_Level 無質量之 EMARMS 值係由 FEA 分析結果所推算結果。

6. 結論

本文旨在探討 PCB 於實驗模態分析之固定邊界重現性、治具傳輸能力及隨機振動試驗三大點，綜合結論如下：

- (1) PCB 固定邊界重現性部分，在與 Wang *et al.* [3] 自然頻率的比較除了可能因放置加速度計位置之人為差異因素，在 mode7 與 mode12 沒對應到，其他皆對應相當接近，在模態振型大都對應的相當吻合，而在 MAC 比對中都接近於 1，顯示對應性良好，因此可以驗證其 EMA 重現性之結果為合理且可靠。
- (2) 依照 JEDEC 規範 D_Level、E_Level、F_Level 三種標準對治具作傳輸能力的探討，結果顯示除了在 10 Hz 以下與 JEDEC 規範有些微落差，其餘皆相當良好。而從傳輸比 FRF 來看，在各點位置之各個規範標準，其治具傳輸能力是非常良好的，治具設計適當。
- (3) 在隨機振動試驗結果顯示，除了在低頻部份有些許落差，在主要共振點響應預測對應皆相當吻合，而在理論分析求解部分，舉例 D_Level 做有無質量效應的差異，可明顯看出在峰值的對應是有些許偏差，所以在實驗驗證之模擬分析時是需要考慮質量效應因素。
- (4) 經由理論分析及實驗所得之量測任一點的響應功率頻譜密度函數，由響應功率頻譜密度函數可計算獲得該點之平均平方根值，此平均平方根值可代表該點可能的受破壞程度，即可推定印刷電路板在隨機激振測試中可能的破壞位置。

7. 致謝

本研究承蒙日月光半導體製造股份有限公司工程中心所提供實驗用印刷電路板及治具，特以致謝。

8. 參考文獻

[1] 馮克林, 1990, 「封裝元件可靠度加速測試及失效評估」, 工業材料, 第158期, 第90-98頁。
[2] 王栢村, 林鴻裕, 李英志, 2005, 「環境振動試

- 驗用印刷電路板之模型驗證」，中華民國力學學會第29屆全國力學會議，新竹，第H013-1-H013-8頁。
- [3] Wang, B. T., Lin, H. Y., Li, Y. C., Lai, Y. S., and Yeh, C. L., 2006, "Model Verification of Printed Circuit Boards for Environmental Vibration Testing in Mounted Condition," *IMAPS International Technical Symposium*, Taipei, Taiwan, pp. 122-127.
- [4] Yang, Q. J., Lim, G. H., Lin, R. M., Yap, F. F., Pang, H. L. J. and Wang, Z. P., 1997 "Experimental Modal Analysis of PBGA Printed Circuit Board Assemblies," *IEEE /CPMT Electronic Packaging Technology Conference*, Singapore, pp. 290-296.
- [5] Gibson, R. F., 2000, "Modal Vibration Response Measurements for Characterization of Composite Materials and Structures," *Composites Science and Technology*, Vol. 60, pp. 2769-2780.
- [6] Steinburg, D. S. 1988, "Vibration Analysis for Electronic Equipment," 2nd ed. New York, N. Y. John Wiley and Sons.
- [7] Cifuentes, A. O. 1994, "Estimating the Dynamic Behavior of Printed Circuit Boards," *IE Transactions on Components, Packaging, and Manufacturing Technology-Part B: Advanced Packaging* 17: 69-75.
- [8] Perkins, A., and S. K. Sitaraman., 2004, "Vibration-Induced Solder Joint Failure of A Ceramic Column Grid Array (CCGA) package," *Electronic Components and Technology* 2: 1271-1278.
- [9] Wong, T. E., B. A. Reed, H. M. Cohen, and D. W. Chu., 1999,"Development of BGA Solder Joint Vibration Fatigue Life Prediction Model," *Proceeding of the Electronic Components and Technology Conference*, 149-154. California, San Diego: Electronic Components and Technology Conference.
- [10] Wong, T. E., F. W. Palmieri, B. A. Reed, H. S. Fenger, H. M. Cohen, and K. T. Teshiba., 2000, "Durability/Reliability of BGA Solder Joints under Vibration Environment," *Proceedings of the Electronic Components and Technology Conference*, 1083-1088. Nevada, Las Vegas: Electronic Components and Technology Conference.
- [11] Yeh, C. L., and Y. S. Lai., 2004, "Application of Support Excitation Scheme in Transient Analysis of JEDEC Board-Level Drop Tests," *Proceeding of the Taiwan ANSYS Conference*, 13-18. Taiwan, Nantou: Taiwan ANSYS Conference.
- [12] JEDEC (2001) JESD22-B103-B: Vibration, Vibration Frequency. JEDEC Solid State Technology Association.

Response Prediction and Verification for Printed Circuit Board in vibration Testing

Bor-Tsuen Wang¹, Yue-Ying Tsai², Yi-Shao Lai³, Chang-Lin Yeh³, Ying-Chih Li³

¹²Department of Mechanical Engineering
National Pingtung University of Science and Technology

³ASE GROUP Kaohsiung Stress-Reliability Lab

Abstract

This paper presents the reproducibility study of model verification for Printed circuit board (PCB) in mounting to fixture during environmental vibration testing. The validated theoretical model for PCB in fixed condition is used to predict the response subject to random excitation and possible failure location of PCB. The real PCB is also conducted random vibration test in



accordance with JEDEC specification at different levels. The transmissibility of fixture is studied by checking the transmissibility curves between the fixture points and control sensor location. The curves reveal very well transmissibility. Both finite element analysis and experiments are carried out, respectively, according to JEDEC specifications to monitor the acceleration and strain power spectrum density (PSD) function. The RMS values can then be obtained from PSD function and used to justify the possible failure location in PCB for random vibration tests. This work predicts and verifies the response and possible failures of PCB subject to environmental random vibration test specified by JEDEC and provides with useful information for future study.

