

ASE Technology Journal

November 2009, Volume 2, No. 2



Corporate R&D Center
Advanced Semiconductor Engineering, Inc.

ASE Technology Journal

Editor: Yi-Shao Lai
Advanced Semiconductor Engineering, Inc.
26 Chin 3rd Rd., Nantze Export Processing Zone
Kaohsiung 811, Taiwan
Tel: +886-7-3617131 ext. 15285/85285
Fax: +886-7-3613094
Email: yishao_lai@aseglobal.com

Staff: Hsiao-Chuan Chang
Tsung-Yueh Tsai
Jiunn Chen

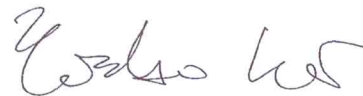
ASE Technology Journal (ISSN 1999-1827) is published semiannually by the Advanced Semiconductor Engineering (ASE), Inc., 26 Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung 811, Taiwan. Responsibility for the contents rests upon the authors and not upon the Advanced Semiconductor Engineering, Inc., or its employees. Copyright © 2009 to the authors unless otherwise indicated.

ASE Technology Journal

November 2009, Volume 2, No. 2

Editorial

The present issue of ASE Technology Journal contains twenty technical papers. The ASE contributions start with a promotion of the cost-saving copper wire bonding, and followed by the process characterizations of RDL of WLCSP. Numerical examinations and optimization of ultra-long needles used in probing DLP wafers as well as thermomechanical stressing of substrate through holes are also presented. A novel algorithm capable of incorporating periodic boundary conditions in the molecular dynamics analysis along axial, bending, and transverse directions is introduced. Equipment introductions include AFM, ICP-OES, and XRF with practical examples. Contributions from the universities mainly cover thermomigration, electromigration, surface reaction, and mechanical responses of various Pb-free solders, for which I would particularly thank Prof. King-Ning Tu for his first-time contribution to the Journal. Other topics include vibration characterization of packaged PCB considering temperature elevation due to operation, observation of crack formation on the interface between Pd-Cu wire and Al pad, advanced TIM with carbon nanotubes, and nanomechanical responses of SiGe-Si thin films and those of monocrystalline Si subjected to repetitive indentation. Readers shall enjoy this issue of ASE Technology Journal greatly as it features quite many papers with profound technical depth.



Yi-Shao Lai
Editor, ASE Technology Journal
Central Product Solutions, Corporate R&D Center
Advanced Semiconductor Engineering, Inc.

ASE Technology Journal

November 2009, Volume 2, No. 2

i **Editorial**

- 74 **Why Fine Pitch Copper Wire Bonding Now?**
Bernd K. Appelt, Andy Tseng, Yi-Shao Lai
- 79 **Process and Design Considerations for Redistribution in Wafer Level Chip Size Packaging Technology for High Power Device Applications**
Jiunn Chen, Yi-Shao Lai, Chueh-An Hsieh, Chia-Yi Hu
- 85 **Ultra-Long Probing Needle Design for Digital Light Processing Wafer Testing**
Hao-Yuan Chang, Meng-Kai Shih, Yi-Shao Lai
- 93 **Numerical Examinations of Thermal Cycling Fatigue Reliability of Substrate Through Holes**
Tsan-Hsien Chen, Tong Hong Wang, Yi-Shao Lai
- 100 **New Bending Algorithm for Field Driven Molecular Dynamics**
Dao-Long Chen, Tei-Chen Chen, Yi-Shao Lai
- 110 **原子力顯微鏡於半導體封裝元件之應用**
鍾旻華
- 114 **感應耦合電漿發射光譜分析儀與 X 射線螢光分析儀之應用及比較**
賴奕蓁、江姿幸、王秀枝
- 118 **印刷電路板有無熱效應之振動特性模擬分析比較**
王栢村、梁秀瑋、許富翔、賴逸少、葉昶麟、李英志
- 128 **Crack Formation on Pd-Plated Cu Wire/Al Pad Interface**
Yu-Wei Lin, Ying-Ta Chiu, Kwang-Lung Lin, Yi-Shao Lai
- 132 **Thermomigration in Flip Chip Solder Joints**
Tian Tian, King-Ning Tu
- 137 **Minimum Ni Addition to Lead-free Solders for Inhibiting Cu₃Sn Thickness**
Y. W. Wang, C. R. Kao
- 143 **Electromigration-Induced Failure of Ni/Cu Bi-Layer Bond Pads Joined with Sn(Cu) Solders**
Y. H. Hsiao, H. W. Tseng, C. Y. Liu
- 150 **Investigation of Joule Heating Effect in Various Stages of Failure in Flip-Chip Solder Joints Under Accelerated Electromigration**
Hsiang Yao Hsiao, Chih Chen, D. J. Yao
- 154 **SnAgBi 與 SnAgBiIn 在銅基板上的界面反應**
江昱彥、吳子嘉
- 157 **Effect of Trace Alloying Elements on the Ball Impact Test Performance of SnAgCu Solder Joints**
Yao-Ren Liu, Jenn-Ming Song, Yi-Shao Lai, Ying-Ta Chiu

- 163 增溫狀態下 SAC405 鉛錫合金受 1.67×10^{-4} 至 $1,192 \text{ s}^{-1}$ 應變率動態壓縮負載之應力應變關係
鄭泗滄、林仁傑、邱元升
- 168 A Kinematic Hardening Creep Constitutive Model for Sn3.8Ag0.7Cu Solder
H.-C. Yang, T.-C. Chiu
- 173 Chemical Anchoring of Vertically Aligned Carbon Nanotubes for Thermal Interface Materials
Wei Lin, C. P. Wong
- 180 Evaluation of Nanomechanical Properties of Multi-layer SiGe-Si Films
Meng-Hung Lin, Hua-Chiang Wen, Yi-Shao Lai, Ping-Feng Yang
- 184 Phase Transformations in Monocrystalline Si Induced by Repeated Nanoindentation
Yen-Hung Lin, Tei-Chen Chen, Yi-Shao Lai, Ping-Feng Yang, Dao-Long Chen

印刷電路板有無熱效應之振動特性模擬分析比較

王栢村^{1*}、梁秀璋¹、許富翔¹、賴逸少²、葉昶麟²、李英志²

¹國立屏東科技大學機械工程學系

²日月光集團研發中心核心產品方案處

Tel: +886-8-7703202 ext. 7017; Fax: +886-8-7740142

*Email: wangbt@mail.npust.edu.tw

摘要

本文目的在對具固定溫度熱邊界之單一封裝體晶片印刷電路板與無固定溫度熱邊界之印刷電路板之振動特性相互比較。首先分別以具固定溫度熱邊界之封裝體晶片印刷電路板及不具固定溫度熱邊界之封裝體晶片印刷電路板兩種情況進行結構振動分析，皆分別以自由及固定兩種邊界狀態，進行印刷電路板之振動特性比較。結果顯示具固定溫度熱邊界之印刷電路板其自然頻率有提升之現象，於固定邊界下之模態振型有明顯差異，而在自由邊界下之模態振型則無明顯改變。未來可針對具熱效應之印刷電路板晶片進行頻譜響應分析，瞭解當有熱效應時印刷電路板於隨機激振情況下可能導致結構破壞之位置。

關鍵字: 有限元素分析、印刷電路板、熱邊界

1. 前言

在科技的快速躍進下，近年來電子產業的製程技術逐漸提高，相對減少印刷電路板 (printed circuit board, PCB) 所需佔用的體積，但對印刷電路板所能承受之要求愈趨嚴格，其中最重視的是因高功率之電子晶片產生之熱能所導致的高溫破壞，而除了高溫導致的破壞外，在組裝、運輸及使用環境等過程對印刷電路板之使用壽命也有極大的影響；有鑑於此就必需先瞭解結構系統之特性，但印刷電路板在不同溫度熱邊界之情況下其振動特性也不一定相同，故需對不同溫度熱邊界之印刷電路板於振動環境下進行探討。

對於印刷電路板過去已有相關研究，王等人[1]結合有限元素分析 (finite element analysis, FEA) 配合實驗模態分析 (experiment modal analysis, EMA) 進行印刷電路板之模型驗證以及透過隨機振動測試之響應預測探討 PCB 可能產生破壞之位置。王等人[2]針對印刷電路板運用有限元素分析法，針對加速度計質量效應進行評估與驗證，瞭解質量效應對振動特性影響。Wong *et al.* [3]針對球陣列封裝 (ball grid array, BGA) 焊錫接點透過 FEA 進行疲勞壽命預測與理論公式相互驗證。藉由先前資料得到之 FE 模型並在軍用振動測試下，觀察 BGA 焊錫接點有無覆蓋底膠疲勞壽命預測。Yang *et al.* [4]對塑膠球陣列封裝 (PBGA) 的 PCB 進行實驗模態分析，將不同邊界條件下的分析結果進行探討，瞭解結構之振動特性。更進一步探討 PCB 有無 PBGA 模組，透過實驗

模態與有限元素法比較振動特性對結構之影響。Perkins and Sitaraman [5]針對陶瓷柱陣列封裝 (CCGA) 質量對自然頻率與模態振型之影響進行探討，經由分析與檢測得到封裝接點特性。Pitarresi *et al.* [6]針對個人電腦主機板受機械式振動及隨機振動測試之響應進行分析。

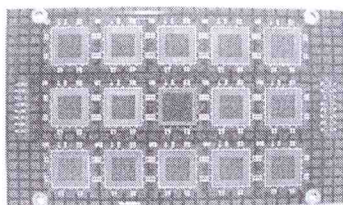
鄭等人[7]針對一晶片封裝模組，以實驗與數值模擬之結果相互驗證，藉以評估其散熱效能之熱阻值。黃等人[8]針對一晶片封裝模組，經熱傳及應力循序耦合分析，將晶片功率及錫球可靠度的影響與純粹溫度循環可靠度相比較。余等人[9]主要探討 CiSP 結構熱傳問題，透過數值模擬之結果提出降低熱阻之設計。

本文目的在對具固定溫度熱邊界之單一封裝體晶片印刷電路板與單一封裝體晶片之印刷電路板兩者之振動特性進行探討，未來更可針對具固定溫度熱邊界之單一封裝體晶片印刷電路板進行頻譜響應分析，可得其響應及應力應變值，進而預測隨機激振下印刷電路板疲勞破壞之位置。

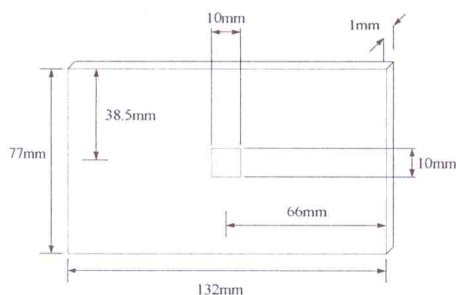
2. 問題定義與分析目標

本文探討之印刷電路板如圖一所示，透過建立一等效於實際結構之有限元素模型進行結構振動分析。印刷電路板外部尺寸如圖二所示。於實驗量測時，為了使熱傳導之現象更加明顯，將封裝體上方之封膠 (molding compound) 移除再利用電源供應器連接加熱片貼附於晶片層上，如圖三所示。PCB 振動流程分析如圖四所示，分別以封裝體晶片具

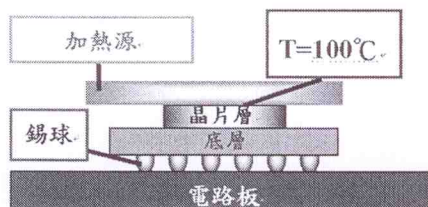
固定溫度熱邊界之 PCB 及封裝體晶片不具固定溫度熱邊界之 PCB 兩種情況進行振動分析，皆以自由邊界及固定邊界方式模擬邊界狀態；在封裝體晶片具固定溫度熱邊界時，先對結構進行熱傳分析，再依不同邊界形式進行振動分析；在封裝體晶片不具固定溫度熱邊界時，依不同邊界形式進行振動分析。



圖一：PCB 實際結構圖



圖二：PCB 尺寸圖



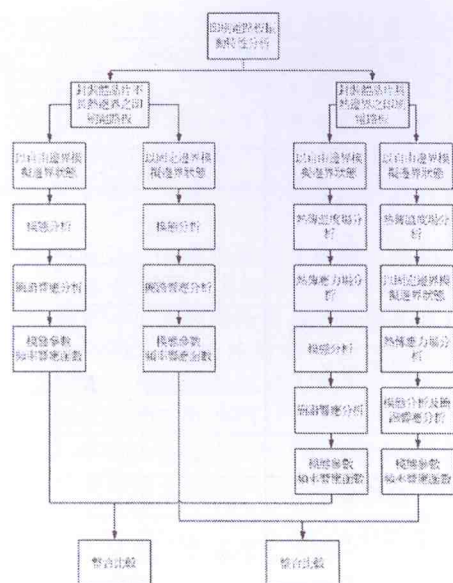
圖三：實驗示意圖

綜合以上討論，本文分析目標如下：

- 一、印刷電路板具固定溫度熱邊界於自由邊界及固定邊界模擬下，熱傳溫度場分析及熱傳應力場分析結果探討。
- 二、比較具固定溫度熱邊界印刷電路板及不具固定溫度熱邊界印刷電路板於自由邊界及固定邊界模擬下之模態參數及頻率響應函數，並對兩者差異進行探討。

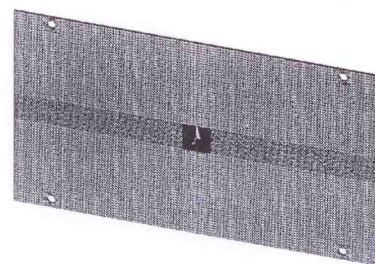
3. 有限元素分析

本文使用套裝軟體 ANSYS 進行有限元素分析，印刷電路板可分為電路板與封裝體，加熱片以一固定溫度熱邊界模擬，設定於晶片層表面，電路板與封裝體皆為正向性材



圖四：印刷電路板振動分析流程

料，表一為印刷電路板材料參數表，圖五為 PCB 之有限元素模型。



(a) PCB 有限元素模型



(b) PCB 有限元素模型側視圖

圖五：PCB 有限元素模型

模型建構說明如下：

一、PCB 無固定溫度熱邊界之模型建構：

- i. 元素選用：電路板與封裝體皆使用線性立方體元素 (Solid45)，並以三維質量元素 (MASS21) 設置數個質量元素節點模擬加速度計。螺絲鎖固處則以彈簧元素 (Combin14) 模擬。
- ii. 元素分割：模型分割使用 mapped mesh 方式將整體模型分割為 146,956 個元素。自由邊界有限元素分割示意及加速度計位置如圖五(a)及圖六(a)

表一：印刷電路板材料參數表

材料參數種類	單位	晶片層	基板	錫球	電路板
楊氏係數 E_x, E_y	GPa	131	16.8	39.5	16.8
楊氏係數 E_z	GPa		7.4		7.4
剪力模數 G_x, G_y	GPa	-	7.89	-	7.59
剪力模數 G_z	GPa		3.31		3.31
蒲松比 ν_{yz}, ν_{xz}	-	0.23	0.39	0.36	0.39
蒲松比 ν_{xy}			0.11		0.11
密度 ρ	g/cm^3	2.33	1.91	7.44	1.90
熱傳導 k_x, k_y	$W/m \cdot ^\circ C$	$150 \cdot \left(\frac{temp}{300}\right)^{\frac{1}{3}}$	34.87	58.7	19.27
熱傳導 k_z	$W/m \cdot ^\circ C$		0.51		0.35
熱膨脹 α_x, α_y	$(1/^\circ C)$	2.8×10^{-6}	15.5×10^{-6}	20×10^{-6}	14.5×10^{-6}
熱膨脹 α_z	$(1/^\circ C)$		26.5×10^{-6}		67.20×10^{-6}

所示；固定邊界有限元素分割示意及加速度計位置如圖五(a)及圖六(b)所示。

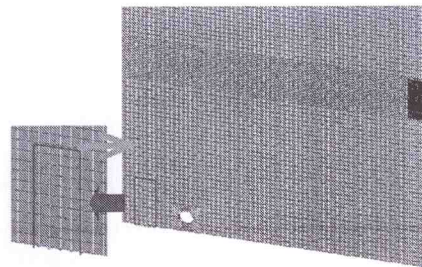
- iii. 位移限制條件：當以全自由邊界模擬無須設定任何位移限制；固定邊界如圖七於圓孔四周以彈簧元素模擬鎖固。
- iv. 負荷條件：模態分析不需設定負荷；簡諧響應分析需在分析時給予 1(N) 之單位力，對應位置如圖六(a)、(b)所示，位於加速度計反面的位置。

二、PCB 具固定溫度熱邊界之模型建構：

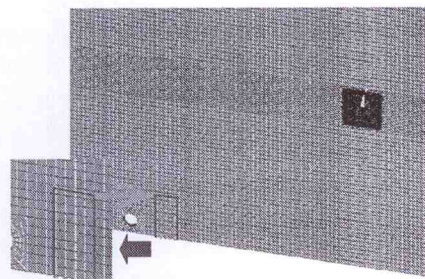
- i. 元素選用：熱傳溫度場分析時印刷電路板使用線性立方體熱傳元素 (Solid70)，於熱傳應力場分析則轉換元素為 Solid45，再以三維質量元素 (MASS21) 設置數個質量元素節點模擬加速度計。螺絲鎖固處則以彈簧元素 (Combin14) 模擬。
- ii. 元素分割：模型分割使用 mapped mesh 方式將整體模型分割為 146956 個元素。自由邊界有限元素分割示意及加速度計位置如圖五(a)及圖六(a)所示；固定邊界有限元素分割示意及加速度計位置如圖五(a)及圖六(b)所示。
- iii. 熱邊界條件：熱傳溫度場分析時於封裝體晶片表面上給予一固定溫度 $100^\circ C$ ，於印刷電路板其餘表面設定熱對流係數 $h_f = 12(W/m^2 \cdot ^\circ K)$ 及週界溫度 $T_\infty = 25^\circ C$ 。熱傳應力場分析時，以全自由邊界模擬無須設定任何位移限制。為了模擬固定邊界於熱傳

應力場分析時，在圓孔四周以彈簧元素模擬鎖固如圖七。

- iv. 熱負荷條件：無給定熱產生率或熱通量；模態分析時不需設定負荷，但需將應力場分析之預應力輸入。於自由邊界進行簡諧響應分析需給予 1(N) 之單位力，對應位置如圖六(a)所示。於固定邊界進行簡諧響應分析需給予 1(N) 之單位力，對應位置如圖六(b)所示。

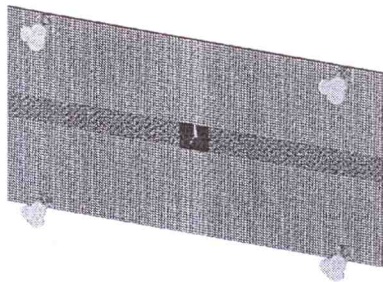


(a) 自由邊界加速度計模擬位置



(b) 固定邊界加速度計模擬位置

圖六：加速度計模擬示意圖



圖七：固定邊界有限元素模型圖

4. 結果與討論

4.1 溫度場及熱應力分析

本文針對印刷電路板之封裝體晶片具固定溫度熱邊界進行振動特性模擬分析；對印刷電路板具有固定溫度熱邊界時進行熱傳導分析，經由熱傳導分析所得之結果，進一步探討印刷電路板具固定溫度熱邊界於振動分析下結構之特性。

在不考慮熱負荷隨時間變化的過程，本文以結構達到穩定狀態時的結果進行探討。熱傳導分析分為兩個步驟：針對印刷電路板進行溫度場分析得到結構溫度分佈，再以溫度

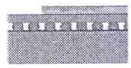
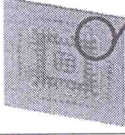
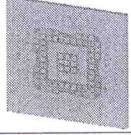
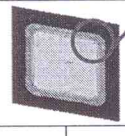
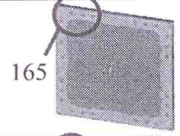
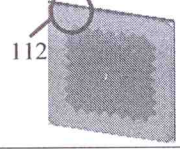
場分析之結果作為結構負載進行熱應力分析，可進一步瞭解結構之熱變形及熱應力狀態；假設螺絲鎖固處無熱之流動，熱溫度場分析皆假設為絕緣邊界，熱應力分析則分為自由邊界與固定邊界。表二為溫度場分佈、表三為熱應力分佈。熱傳導分析結果討論如下：

- 一、由表二可知電路板除了與錫球接觸周圍達到 65°C 外，其餘部分則是降低至室溫 25°C 。在基板表面與晶片接觸處溫度高達 99°C ，但在外圍的部分降低至室溫 25°C ；在錫球部分則是在晶片下方處的錫球溫度達到 84°C ，與基板接觸的外圍錫球溫度多為 $27\sim 46^{\circ}\text{C}$ 不等。封裝體晶片本身溫度由於設定為固定溫度，故只為 100°C 。
- 二、由熱通量及熱梯度可以得知在結構內熱流動的方向，從熱通量可看出在晶片、基板及錫球處是熱流動的位置，由於錫球的單位面積較小，所以在錫球的熱通過量也最大，電路板的單位面積較大，所以在電路板的熱通過量相對較小。
- 三、表三為熱應力分佈，於自由邊界及固定邊界模擬情況下，可看出在自由邊界時

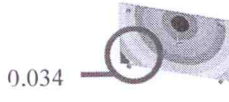
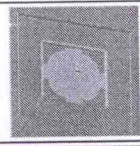
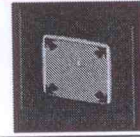
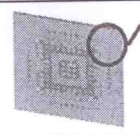
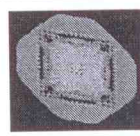
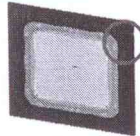
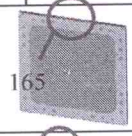
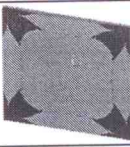
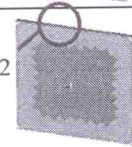
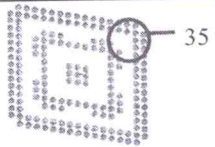
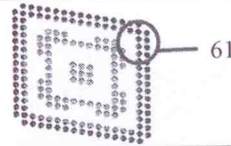
表二：溫度場分佈

溫度分佈 ($^{\circ}\text{C}$)	印刷電路板			
	電路板表面及背面			
	基板表面及背面與晶片背面			
	錫球頂面與底面			
熱通量 (W/m^2)	印刷電路板			
熱梯度	印刷電路板			

表三(a)：熱應力分佈－自由邊界

熱變形(mm)	印刷電路板	0.058 		
印刷電路板	最大主應力 (MPa)			
	麥西斯應力 (MPa)			
電路板表面與基板表面及背面	最大主應力 (MPa)			
	麥西斯應力 (MPa)			
晶片表面及背面	最大主應力 (MPa)			
	麥西斯應力 (MPa)			
錫球頂面與底面	最大主應力 (MPa)			
	麥西斯應力 (MPa)			

表三(b)：熱應力分佈－固定邊界

熱變形(mm)	印刷電路板	 0.034		
印刷電路板	最大主應力 (MPa)			
	麥西斯應力 (MPa)			
電路板表面與基板表面及背面	最大主應力 (MPa)			
	麥西斯應力 (MPa)			
晶片表面及背面	最大主應力 (MPa)		 165	
	麥西斯應力 (MPa)		 112	
錫球頂面與底面	最大主應力 (MPa)			
	麥西斯應力 (MPa)			

表四：印刷電路板以自由邊界模擬之模態振型與自然頻率比對表

無熱邊界模態振型			具熱邊界模態振型			頻率誤差(%)
Mode	頻率(Hz)	模態振型	Mode	頻率(Hz)	模態振型	
F-01	115.6		F-01	119.5		3.26
F-02	164.34		F-02	169.91		3.28
F-03	285.27		F-03	294.82		3.24
F-04	444.28		F-04	459.17		3.24
F-05	481.83		F-05	498.14		3.27
F-06	535.48		F-06	553.74		3.30
F-07	602.77		F-07	623.3		3.29
F-08	729.15		F-08	754.61		3.37
F-09	898.47		F-09	929.4		3.33
F-10	999.46		F-10	1034		3.34
F-11	1053.5		F-11	1089.8		3.33
F-12	1286		F-12	1330.6		3.35
F-13	1406		F-13	1454.6		3.34

表五：印刷電路板以固定邊界模擬之模態振型與自然頻率比對表

無熱邊界模態振型			具熱邊界模態振型			頻率誤差(%)
Mode	頻率(Hz)	模態振型	Mode	頻率(Hz)	模態振型	
F-01	190.64		F-01	198.88		4.14
F-02	303.53		F-02	315.23		3.71
F-03	454.75		F-03	474.45		4.15
F-04	514.56		F-04	540.91		4.87
F-05	629.55		F-05	661.75		4.87
F-06	678.92		F-06	704.54		3.64
F-07	758.23		F-07	779.91		2.78
F-08	999.84		F-08	1090.2		8.29
F-09	1071.5		F-09	1114.6		3.87
F-10	1117.6		F-10	1324.6		15.63
F-11	1301.6		F-11	1464.5		11.12
F-12	1416.1		F-12	1498.5		5.50
F-13	1505.6		F-13	1552		2.99

的熱變形較固定邊界時高；於自由邊界模擬時最大的熱變形可能會出現在電路板上端左右處，於固定邊界模擬時最大的熱變形則出現在電路板下端左右處。

- 四、晶片層最大主應力及麥西斯 (von Mises) 應力高達 165 MPa 及 112 MPa，發生的位置皆在晶片與基板連接處的四個角落，顯示當 PCB 之封裝體晶片受到一固定溫度時，應力集中之位置會位於晶片與基板連接的四個角落處。

4.2 印刷電路板之模態分析

對有無固定溫度熱邊界之印刷電路板進行模態分析，表四及表五分別為印刷電路板以自由邊界模擬之模態振型與自然頻率比較表及印刷電路板以固定邊界模擬之模態振型與自然頻率比較表，分析結果可得到結構之模態參數包括自然頻率、模態振型，經由模態參數可瞭解結構之特性，綜合討論如下：

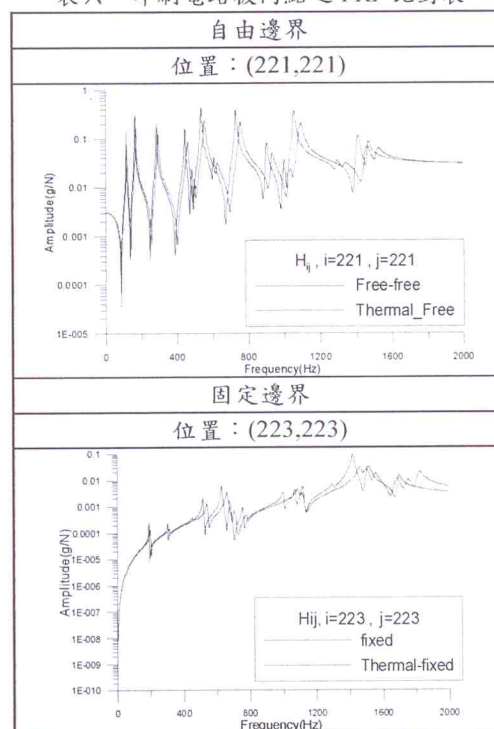
- 一、由表四可以得知在自由邊界模擬情況下，具固定溫度熱邊界之 PCB 的自然頻率較無熱邊界時之 PCB 皆高出約 3%。
- 二、由表四模態振型可知有無固定溫度熱邊界之 PCB 其模態振型皆十分相似，推估可能是封裝體晶片位於 PCB 中央，可由無固定溫度熱邊界之模態看出其模態多數振型之節線皆通過封裝體晶片處，導致 PCB 受熱效應後對振型無明顯之影響。
- 三、由表五可以發現以固定邊界模擬鎖固的情況下，有無固定溫度熱邊界之 PCB 在前七個模態皆相當對應，且在自然頻率誤差只有 2~4%；在第 8 個模態振型後，有無固定溫度熱邊界之 PCB 的模態振型皆不相同，且頻率誤差最高達 15%。
- 四、由表五中可以看出具固定溫度熱邊界之 PCB 從第八個模態後其振型皆相似於無固定溫度熱邊界之 PCB，第九個模態後之振型頻率約 1000 Hz 以上且其模態特性已有明顯不同，推論是因 PCB 受熱效應後結構產生變化導致。
- 五、JEDEC 隨機振動試驗規範[10]範圍在 500 Hz，而在 500 Hz 內有無固定溫度熱邊界之 PCB 模態振型皆對應相似，僅有約 3~4% 之自然頻率差異，表示具熱效應之封裝體在 JEDEC 規範之振動與熱效應複合試驗時，將會有類似之響應狀態。

4.3 印刷電路板之簡諧響應分析

對有無固定溫度熱邊界之印刷電路板進行簡諧響應分析可得到結構之頻率響應函數 (frequency response function, FRF)。綜合討論如下：

- 一、表六為印刷電路板同點之 FRF 比對表，可看出以自由邊界模擬時，在 FRF 曲線趨勢相當一致，僅自然頻率對應之峰值有偏移約 3% 左右，這是因為各模態特性相同之原因。
- 二、以固定邊界模擬時，可以看出在頻率 800 Hz 前峰值都有相同的趨勢，而具固定溫度熱邊界之 PCB 在頻率 800 Hz 後可能是結構產生變化，導致頻率及峰值數與無固定溫度熱邊界之 PCB 不相同。

表六：印刷電路板同點之 FRF 比對表



5. 結論

本文目的在對具固定溫度熱邊界之單一封裝體晶片印刷電路板與單一封裝體晶片之印刷電路板兩者之振動特性進行探討。本文綜合結論如下：

- 一、在熱傳分析中，晶片是印刷電路板中最高溫處，晶片下方處之錫球則是溫度次高的地方；轉換為熱應力後其最大主應力及麥西斯應力發生的位置皆在晶片與基板連接處的四個角落，顯示當 PCB 之封裝體晶片受到一固定溫度時，應力集中位置位於此處。
- 二、當印刷電路板之封裝體晶片具固定溫度熱邊界時，以自由邊界及固定邊界進行邊界模擬，經模態分析後自然頻率都有提高之現象，尤其在固定邊界下，在第九個模態約 1000 Hz 以上結構模態特性

已有明顯不同之差異，可能是因熱效應導致結構產生變化。

- 三、未來可針對 PCB 晶片具熱效應進行頻譜響應分析，瞭解當有熱效應後 PCB 於隨機激振情況下可能導致結構破壞之位置。

參考文獻

1. 王栢村、陶致均、李沛偉、賴逸少、葉昶麟、李英志：「印刷電路板模型驗證與響應預測之重複性探討」，第十六屆台灣 ANSYS/Fluent 年度應用研討會論文集，台北市，第 15-30 頁，2007。
2. 王栢村、陶致均、賴逸少、葉昶麟、李英志：「加速度計質量效應模擬分析之評估與驗證」，第十五屆中華民國振動與噪音工程學術研討會論文集，中國文化大學，台北市，第 61-68 頁，2007。
3. T. E. Wong, F. W. Palmieri and H. S. Fenger, "Under-filled BGA solder joint vibration fatigue damage," *Proc. ITherm 2002*, San Diego, CA, USA, pp. 961-966, 2002.
4. Q. J. Yang, H. L. J. Pang, Z. P. Wang, G. H. Lim, F. F. Yap and R. M. Lin, "Vibration reliability characterization of PBGA assemblies," *Microelectron. Reliab.*, Vol. 40, No. 7, pp. 1097-1107, 2000.
5. A. Perkins and S. K. Sitaraman, "Vibration-induced solder joint failure of a ceramic column grid array (CCGA) package," *Proc. 54th Electron. Comp. Technol. Conf.*, Las Vegas, NV, USA, pp. 1271-1278, 2004.
6. J. Pitarresi, P. Geng, W. Beltman and Y. Ling, "Dynamic modeling and measurement of personal computer motherboards," *Proc. 52nd Electron. Comp. Technol. Conf.*, San Diego, CA, USA, pp. 597-603, 2002.
7. 鄭宗杰、余致廣、劉君愷、蔡伯晨、鄭明欣：「FC-PBGA 之熱流模擬簡介」，奈米通訊，第 11 卷，第 4 期，第 17-21 頁，2004。
8. 黃東鴻、李長祺、賴逸少、王靜君：「疊合封裝結構受功率與溫度耦合循環測試之熱傳特性與疲勞可靠度評估」，台灣半導體產業協會簡訊，第 42 期，第 4-8 頁，2007。
9. 余致廣、鄭宗杰：「內藏式晶片封裝之熱傳研究」，奈米通訊，第 12 卷，第 3 期，第 30-33 頁，2005。
10. JEDEC Solid State Technology Association, *JESD22-B103-B: Vibration, Variable Frequency*, 2002.